



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08320673 A**(43) Date of publication of application: **03.12.96**

(51) Int. Cl.

G09G 3/36
G02F 1/133
G09G 5/00

(21) Application number: **07149393**(22) Date of filing: **23.05.95**(71) Applicant: **CASIO COMPUT CO LTD**(72) Inventor: **YONEKAWA TATSUHIKO**(54) **GRADATION CONTROL METHOD IN LIQUID CRYSTAL DISPLAY DEVICE**

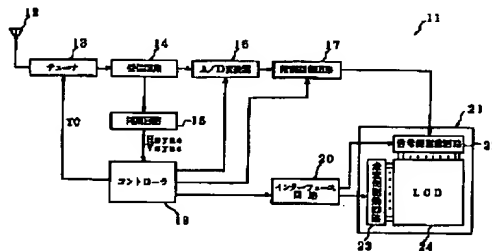
(57) Abstract:

pulses in accordance with converted gradation data are made, and liquid crystal is driven.

COPYRIGHT: (C)1996,JPO

PURPOSE: To provide a liquid crystal display device which can perform gradation display of high quality with low manufacturing cost.

CONSTITUTION: This is a liquid crystal display device which is provided with a liquid crystal display panel 24, a driving circuit 22 making a liquid crystal driving pulse in accordance with gradation data and driving liquid crystal, and a gradation control circuit 17 supplying gradation data and a synchronizing signal to the driving circuit, and in which gradation display is performed by varying effective voltage by controlling pulse width of a driving pulse applied to the liquid crystal. The gradation control circuit 17 is provided with a picture memory storing digital display data, and a memory for converting data converting display data read out from the picture memory to gradation data having less number of bits than display data. And one frame is constituted with plural fields, the same display data in one frame is converted to the prescribed gradation data for each field in accordance with its gradation level, driving pulses having the number of



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 2 0 6 7 3

(43) 公開日 平成 8 年 (1996) 12 月 3 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
G09G 3/36			G09G 3/36	
G02F 1/133	575		G02F 1/133	575
G09G 5/00	520	9377-5H	G09G 5/00	520 A

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21) 出願番号 特願平 7 - 1 4 9 3 9 3

(22) 出願日 平成 7 年 (1995) 5 月 2 3 日

(71) 出願人 0 0 0 0 0 1 4 4 3
カシオ計算機株式会社
東京都新宿区西新宿 2 丁目 6 番 1 号

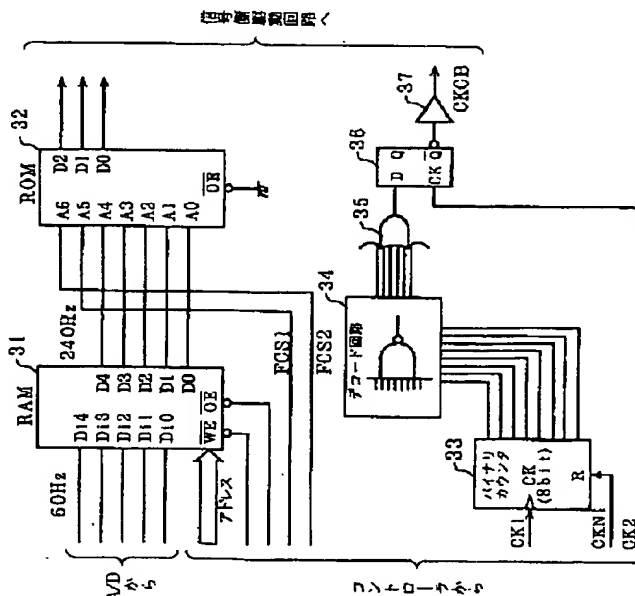
(72) 発明者 米川 達彦
東京都八王子市石川町 2 9 5 1 番地 5 カ
シオ計算機株式会社八王子研究所内

(54) 【発明の名称】 液晶表示装置における階調制御方法

(57) 【要約】

【目的】 低コストで高品質な階調表示を行なえる液晶表示装置の階調制御方法を提供する。

【構成】 液晶表示パネル 24 と、階調データに応じた液晶駆動パルスを作成して液晶を駆動する駆動回路 22 と、該駆動回路に対して階調データおよび同期信号を供給する階調制御回路 17 およびコントローラ 19 とを備え、液晶に印加する駆動パルス数を制御することで実効電圧を変化させて階調表示を行なうようにした液晶表示装置において、上記階調制御回路 17 にデジタル表示データを記憶する画像メモリ 31 と前記画像メモリから読み出された表示データをこれよりもビット数の少ない階調データに変換するデータ変換用メモリ 32 とを設けるとともに、1 フレームを複数のフィールドで構成し、1 フレーム内の同一の表示データをその階調レベルに応じてフィールドごとに所定の階調データに変換し、変換された階調データに応じたパルス数の駆動パルスを作成して液晶を駆動させるようにした。



【特許請求の範囲】

【請求項 1】 液晶表示パネルと、

階調データに応じた液晶駆動パルスを作成して液晶を駆動する液晶駆動手段と、上記液晶駆動手段に対して階調データおよび同期信号を供給する表示制御手段と、を備えた液晶表示装置において、

上記表示制御手段には、デジタル表示データを記憶する読み出し書き込み可能な表示データ記憶手段と、前記表示データ記憶手段から読み出された表示データをこれよりもビット数の少ない階調データに変換するデータ変換手段とを設けるとともに、

1 フレームを複数のフィールドで構成し、1 フレーム内の同一の表示データをその階調レベルに応じてフィールドごとに所定の階調データに変換し、変換された階調データに応じたパルス数の駆動パルスを作成して液晶を駆動させるようにしたことを特徴とする液晶表示装置における階調制御方法。

【請求項 2】 前記表示データ記憶手段に読み込まれる単位時間当たりの表示データの読み込み処理速度に比較して、前記階調データに変換するデータ変換手段への単位時間当たりの書き込み処理速度は、前記 1 フレームを複数フィールドに構成した数値を倍数とした速度で書き込みを行なうようにしたことを特徴とする請求項 1 に記載の液晶表示装置における階調制御方法。

【請求項 3】 上記変換用テーブルには、1 フレームを構成する複数フィールドのうち前半のフィールドにおいてより多くの駆動パルスを生成させるようなデータを記載しておくようにしたことを特徴とする請求項 2 に記載の液晶表示装置における階調制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置における階調制御技術に関し、特に表示制御装置内部の階調データのビット数よりも少ないビット数の階調データで作動する液晶ドライバを駆動して階調表示を行なうことができる液晶表示装置に関する。

【0002】

【従来の技術】 従来、液晶表示装置における階調表示を行なう制御方法としては、複数フレームで 1 サイクルを構成して階調データに応じて点灯回数を変えることで階調表示を行なうフレーム間引き法と、印加電圧信号のパルス幅を階調データに応じて変えることで階調表示を行なうパルス幅変調方式とがある。例えば STN (Super Twisted Nematic) 液晶を用いた静止画像系の液晶表示装置ではフレーム間引き法が、また TN (Twisted Nematic) 液晶を用いた動画系ではパルス幅変調方式が用いられていた。

【0003】 一般に、STN 液晶ではフレーム周波数を高くして駆動すると高コントラストの表示が得られる。一方、TN 液晶では一般に 3 ビット (8 階調) のドライ

バを用いてパルス幅変調方式で液晶を駆動していた。階調数が一定ならば高コントラストになるほどに各階調差は大きくなり、モアレ縞等の発生による画質の低下が目立つようになる。

【0004】

【発明が解決しようとする課題】 従来の液晶表示装置における階調表示制御のうちフレーム間引き法は比較的簡単な回路で階調表示を行なえるものの、表示しようとする階調数に比例して 1 サイクルを構成するフレーム数が多くなるため、動画の表示には不向きであった。また、パルス幅変調方式は、液晶に正確な実効電圧を印加することができるというメリットがあるものの、液晶ドライバの回路構成が複雑となりコストアップになるという欠点があった。

【0005】 本発明は、上記のような課題に鑑みてなされたもので、その目的とするところは、低コストで高品質な階調表示を行なえる液晶表示装置の階調制御方法を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明は、液晶表示パネルと、階調データに応じた液晶駆動パルスを作成して液晶を駆動する液晶駆動手段と、上記液晶駆動手段に対して階調データおよび同期信号を供給する表示制御手段と、を備えた液晶表示装置において、上記表示制御手段には、デジタル表示データを記憶する読み出し書き込み可能な表示データ記憶手段と、前記表示データ記憶手段から読み出された表示データをこれよりもビット数の少ない階調データに変換するデータ変換手段とを設けるとともに、1 フレームを複数のフィールドで構成し、1 フレーム内の同一の表示データをその階調レベルに応じてフィールドごとに所定の階調データに変換し、変換された階調データに応じたパルス数の駆動パルスを作成して液晶を駆動させるようにしたものである (請求項 1)。

【0007】 また、前記表示データ記憶手段に読み込まれる単位時間当たりの表示データの読み込み処理速度に比較して、前記階調データに変換するデータ変換手段への単位時間当たりの書き込み処理速度は、前記 1 フレームを複数フィールドに構成した数値を倍数とした速度で書き込みを行なうようにしてもよい (請求項 2)。

【0008】 さらに、上記変換用テーブルには、1 フレームを構成する複数フィールドのうち前半のフィールドにおいてより多くの駆動パルスを生成させるようなデータを記載しておくようにしてもよい (請求項 3)。

【0009】

【作用】 請求項 1 の発明によれば、複数のフィールドで 1 フレームを構成しているため、表示データのビット数よりも液晶駆動回路の取り扱う階調データのビット数が少ない場合にも、表示データの有する階調レベルに準じた階調表示を行なうことができ、これによって、液晶駆

動回路の構成を簡略化もしくは簡単な構成の液晶駆動回路を使用することができるようになり、低コストで高品質の階調表示が可能な液晶表示装置を実現することができる。

【 0 0 1 0 】請求項 2 の発明によれば、1 フレームを複数フィールドで構成した場合にも、表示データを供給する側の回路は何ら変更することなく本発明を適用することができ、これによって、低コストで高品質の階調表示が可能な液晶表示装置を実現することができる。

【 0 0 1 1 】請求項 3 の発明によれば、実効電圧は同じでも液晶の駆動開始直後に駆動パルスが印加されるようになるため、液晶の立ち上がりスピードを速くすることができ、動画表示においては画像の追従性を向上させることができる。

【 0 0 1 2 】

【実施例】以下、本発明を実施例に基づいて具体的に説明する。図 1 は、本発明の液晶表示装置を適用して好適なシステムの一例としての液晶テレビ 11 の構成を示す。図 1 における液晶テレビ 11 は、アンテナ 12、チューナ 13、受信回路 14、同期回路 15、A/D 変換器 16、階調制御回路 17、コントローラ 19、インターフェース回路 20 などからなる表示制御系と、信号側駆動回路 22、走査側駆動回路 23、液晶表示パネル 24 などからなる液晶モジュール 21 とにより構成されている。

【 0 0 1 3 】アンテナ 12 は、受信電波をチューナ 13 に供給し、チューナ 13 は、コントローラ 19 から入力されるチューニング制御信号 TC に従って指定チャネルを選択して、アンテナ 12 から供給される受信電波を中間周波数信号に変換して受信回路 14 に出力する。

【 0 0 1 4 】受信回路 14 は、中間周波数増幅回路、映像検波回路、映像増幅回路、クロマ回路等から構成されており、チューナ 13 から入力される中間周波数信号を映像検波回路により映像検波を行なってカラー映像信号を取り出し、このカラー映像信号の中から音声信号を取り出して図示しない音声回路に出力するとともに、映像増幅回路によりカラー映像信号を増幅してクロマ回路に渡し、クロマ回路において、受信カラー映像信号から R、G、B（レッド、グリーン、ブルー）の各色映像信号を分離して A/D 変換器 16 に出力する。

【 0 0 1 5 】同期回路 15 は、受信カラー映像信号の中から水平同期信号 Hsync と垂直同期信号 Vsync を取り出してコントローラ 19 に出力する。A/D 変換器 16 は、図示しないサンプリング回路とコンパレータ回路とエンコーダ回路等から構成されている。機能的には R、G、B のアナログ信号をサンプリングしてコンパレータにより基準電圧と比較することで A/D 変換（R_{HH}～R_{LL}の範囲で等分）した後、エンコーダ回路で例えば 5 ビットのデジタル表示データに変換する。

【 0 0 1 6 】階調制御回路 17 は、所望のタイミングパ

ターンからなる階調制御クロック CKCB を作成するとともに、A/D 変換器 16 から入力される R、G、B の各 5 ビットの表示データを 3 ビットの階調データに変換して、液晶モジュール 21 の信号側駆動回路 22 に供給して液晶セルを駆動させる。つまり、この実施例では、階調制御回路 17 から階調制御クロック CKCB と 3 ビットの階調データを信号側駆動回路 22 へ供給して、信号側駆動回路 22 で階調データの階調レベルに応じたパルス数分の液晶駆動パルスを 1 水平期間毎に生成し、このパルスに応じて液晶パネル 24 の信号線を駆動して階調制御を行なうようにしている。

【 0 0 1 7 】コントローラ 19 は、CPU（Central Processing Unit）が内蔵されていて、液晶テレビ 11 全体の動作を制御するもので、例えば、水平同期信号（Hsync）と垂直同期信号（Vsync）とに基づいて液晶表示パネル 24 に画像表示させたり、サンプリングクロックを生成して A/D 変換器 16 に供給したり、階調制御回路 17 に対して 2 つの異なる位相を持った内部基本クロック CK1、CK2 や表示データから階調データへのデータ変換のための制御信号を供給したりする。

【 0 0 1 8 】インターフェース回路 20 は、コントローラ 19 から入力される水平同期信号と垂直同期信号とを、液晶モジュール 21 の信号側駆動回路 22 と走査側駆動回路 23 にそれぞれ供給して、液晶パネル 24 の走査線を順次走査しながら信号線を駆動して液晶表示パネル 24 に画像表示させる。

【 0 0 1 9 】上記垂直同期信号は、走査電極走査開始タイミングと走査電極の選択幅を決定する CDB 信号と、液晶をフレーム毎に交流駆動するための走査反転信号である CFB 信号と、前記 CDB 信号を走査側駆動回路 23 内で順次シフトする CNB 信号とから成っている。

【 0 0 2 0 】また、水平同期信号は、階調制御回路 17 から供給された階調データを信号側駆動回路 22 にラッチさせて、蓄えた階調データに基づいて 1 水平期間ごとに液晶駆動パルスを生成させて液晶表示パネル 24 の信号線に出力させる CKN 信号と、A/D 変換器 16 における表示データのサンプリングを開始させる STI 信号と、液晶パネルをフレーム毎に交流駆動するための CKF 信号と、階調制御回路 17 および信号側駆動回路 22 の基本クロック信号である CK1、CK2 信号とから成っている。

【 0 0 2 1 】液晶モジュール 21 は、液晶表示パネル 24 と、これに封止された液晶を駆動する液晶ドライバとしての信号側駆動回路 22 と、走査側駆動回路 23 とで構成されている。

【 0 0 2 2 】液晶表示パネル 24 は、ここでは、例えばガラス板で構成された 2 枚の透明基板間に TN 液晶を封入し各基板の対向面に ITO からなる信号電極と走査電極とをそれぞれ直交方向に配置した単純マトリックス型の液晶表示パネルが使用されている。

【0023】信号側駆動回路22は、階調制御回路17から出力される3ビットの階調データおよび階調制御クロックCKCBに基づいて階調データに対応された階調レベルに応じたパルス数を有することによりパルス幅制御(PWM)された液晶駆動パルスを形成し、この液晶駆動パルスを液晶表示パネル24の各信号電極に所定のタイミングで印加することにより、階調表示させる。

【0024】走査側駆動回路23は、走査信号を発生させて、液晶表示パネル24の複数の走査電極に順次供給して選択状態とし、上記信号電極と交差する各画素位置の液晶に所定の電圧を印加して液晶を駆動させる。

【0025】図2は、A/D変換器16から供給される5ビットの表示データを信号側駆動回路22に供給されて液晶駆動パルスのパルス幅を制御するための3ビットの階調データに変換するとともに、基準となる階調制御クロックCKCBを形成する図1の階調制御回路17のブロック図である。

【0026】この実施例の階調制御回路17は、1フレーム分の画素データを記憶する画像メモリ31、データ

データ変換表

A0~A4	A5=0, A6=0	A5=1, A6=0	A5=0, A6=1	A5=1, A6=1	
要求階調	第1フィールド	第2フィールド	第3フィールド	第4フィールド	表示階調
0	0	0	0	0	0
1	0	0	0	0	0
2	0	0	0	1	1
3	0	1	0	1	2
4	0	1	1	1	3
5	1	1	1	1	4
6	1	1	1	2	5
7	1	2	1	2	6
8	1	2	2	2	7
9	2	2	2	2	8
～	～	～	～	～	～
23	6	5	5	5	21
24	6	5	6	5	22
25	6	6	6	5	23
26	6	6	6	6	24
27	7	6	6	6	25
28	7	6	7	6	26
29	7	7	7	6	27
30	7	7	7	7	28
31	7	7	7	7	28

【0030】上記画像メモリ31から出力される5ビットの表示データは、上記データ変換用メモリ32の下位側のアドレス入力端子A0～A4に入力されているとともに、上記コントローラ19から供給される2ビットのフィールド切換信号FCS1、FCS2が上位側のアドレス入力端子A5、A6に入力され、これら7ビットのアドレス信号に対応したアドレスに格納されている3ビットの階調データが、データ変換用メモリ32から出力される。

【0031】ここで、上記データ変換用メモリ32によ

変換用メモリ32、バイナリカウンタ33、デコード回路34、オアゲート回路35、フリップフロップ回路36、バッファ37などから構成されている。

【0027】上記画像メモリ31は、特に限定されるものでないが、この実施例ではデュアルポートRAMにより構成されており、コントローラ19から供給されるアドレス信号および書込み制御信号WEに従って60Hzのような速度でA/D変換器16から供給される5ビットの表示データを順次取り込んで記憶する。また、この画像メモリ31は、コントローラ19から供給されるアウトイネーブル信号OEに従って240Hzのような速度(書込み速度の4倍)で記憶されている5ビットの表示データを順次出力する。

【0028】上記データ変換用メモリ32は、ROM(リード・オンリ・メモリ)で構成され、内部に表1に示すようなデータ変換テーブルが格納されている。

【0029】

【表1】

るデータ変換動作を、表1の変換テーブルおよび図3のタイミングチャートを用いて詳細に説明する。コントローラ19から供給される2ビットのフィールド切換信号FCS1、FCS2が共にロウレベルすなわちROM32のアドレスA5、A6が「0、0」のときは、画像メモリ31から供給される5ビットの表示データに応じて表1の第2欄の第1フィールドに格納されている0から7までの8段階のレベルを示す3ビットのデータがROM32から読み出される。

【0032】また、コントローラ19から供給される2

ビットのフィールド切換信号 FCS 1, FCS 2 がハイレベルとロウレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「1, 0」のときは、画像メモリ 3 1 から供給される 5 ビットの表示データに応じて表 1 の第 3 欄の第 2 フィールドに格納されている 0 から 7 までの 8 段階のレベルを示す 3 ビットのデータが ROM 3 2 から読み出される。

【0033】コントローラ 1 9 から供給される 2 ビットのフィールド切換信号 FCS 1, FCS 2 がロウレベルとハイレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「0, 1」のときは、画像メモリ 3 1 から供給される 5 ビットの表示データに応じて表 1 の第 4 欄の第 3 フィールドに格納されている 0 から 7 までの 8 段階のレベルを示す 3 ビットのデータが ROM 3 2 から読み出される。

【0034】コントローラ 1 9 から供給される 2 ビットのフィールド切換信号 FCS 1, FCS 2 が共にハイレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「1, 1」のときは、画像メモリ 3 1 から供給される 5 ビットの表示データに応じて表 1 の第 5 欄の第 4 フィールドに格納されている 0 から 7 までの 8 段階のレベルを示す 3 ビットのデータが ROM 3 2 から読み出される。

【0035】コントローラ 1 9 から供給される 2 ビットのフィールド切換信号 FCS 1, FCS 2 は、図 3 に示すように、まず共にロウレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「0, 0」とされ、この状態で画像メモリ 3 1 内の 1 フレーム分の表示データが一通り読み出されてそれぞれ表示データをアドレスとして ROM 3 2 の第 1 フィールドから対応する 3 ビットの階調データが出力される。なお、図 3 には、便宜上 5 画素分の表示データの読み出しとデータ変換のタイミングを示したが、実際には 1 フィールド期間中に画像メモリ 3 1 内の 1 フレーム分の表示データが 1 通り読み出されて 3 ビットの階調データに変換されて出力されるように動作する。

【0036】次に、コントローラ 1 9 から供給されるフィールド切換信号 FCS 1, FCS 2 は、図 3 に示すように、ハイレベルとロウレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「1, 0」とされ、この状態で再び画像メモリ 3 1 内の 1 フレーム分の表示データが一通り読み出されてそれぞれ表示データをアドレスとして ROM 3 2 の第 2 フィールドから対応する 3 ビットの階調データが出力される。

【0037】続いて、コントローラ 1 9 から供給されるフィールド切換信号 FCS 1, FCS 2 は、図 3 に示すように、ロウレベルとハイレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「0, 1」とされ、この状態で再び画像メモリ 3 1 内の 1 フレーム分の表示データが一通り読み出されてそれぞれ表示データをアドレスとして ROM 3 2 の第 1 フィールドから対応する 3 ビットの階調

データが出力される。

【0038】最後に、コントローラ 1 9 から供給されるフィールド切換信号 FCS 1, FCS 2 は、図 3 に示すように、共にハイレベルすなわち ROM 3 2 のアドレス A 5, A 6 が「1, 1」とされ、この状態で画像メモリ 3 1 内の 1 フレーム分の表示データが一通り読み出されてそれぞれ表示データをアドレスとして ROM 3 2 の第 1 フィールドから対応する 3 ビットの階調データが出力される。

【0039】この実施例は、上記のようにして画像メモリ 3 1 が 1 通り 4 回アクセスされることによって、液晶表示パネル 2 4 における 1 フレームの表示が完了するように構成されている。ところで、1 つの階調データに応じて液晶駆動パルスのパルス幅を調整して液晶セルの実効電圧を制御して階調表示を行なう従来の PWM 階調制御方式にあっては、3 ビットの階調データにより制御できる階調は 8 段階である。従って、3 2 階調を表わす 5 ビットの表示データを単純に 3 ビットに変換すると、例えば表 1 の第 1 欄の要求階調「27」, 「28」, 「29」, 「30」は、それに対応する第 2 欄（第 1 フィールド）の階調データに顕現されているように、同じ階調「7」になってしまう。

【0040】しかるに、この実施例では、第 2 フィールドでは要求階調「27」と「28」に対して一つ下の階調データ「6」を出力させ、第 3 フィールドでは要求階調「27」に対して階調データ「6」を出力させ、第 4 フィールドでは要求階調「27」, 「28」, 「30」に対して階調データ「6」を出力させるようにしている。従って、4 フィールドを 1 フレームとすることで、出力される階調データが 3 ビット（8 階調）であっても要求階調「27」, 「28」, 「29」, 「30」を区別することができ、表 1 のデータ変換テーブル全体で 29 階調の表示を実現させることができる。ただし、要求階調は 3 2 階調である。そこで、この実施例では、特に限定されないが、表 1 の上下すなわち要求階調「0」, 「1」を表示階調「0」に対応させ、要求階調「30」, 「31」を表示階調「28」に対応させるように設定した。

【0041】上記変換用メモリ 3 2 から出力された 3 ビットの階調データが入力される信号側駆動回路 2 2 は、最も階調レベルの高い階調データ「7」を受けると、階調制御回路 1 7 から供給される図 4 (C) のような 7 個のパルスを有する階調制御クロック CKCB に従って液晶パネルの対応する信号線を駆動する。また、階調データ「6」を受信すると、図 4 (C) の階調制御クロックに基づいて同図 (D) のような 6 個のパルスを有する液晶駆動パルスを形成して対応する信号線を駆動する。

【0042】以下同様にして、階調データ「5」を受信すると図 4 (E) のような 5 個のパルスを有する液晶駆動パルスを形成して対応する信号線を駆動し、階調デー

タ「4」を受信すると図4(F)のような4個の脉冲を有する液晶駆動脉冲を形成し、階調データ「3」を受信すると図4(G)のような3個の脉冲を有する液晶駆動脉冲を形成し階調データ「2」を受信すると図4(H)のような2個の脉冲を有する液晶駆動脉冲を形成し、階調データ「1」を受信すると図4(I)のような1個の脉冲を有する液晶駆動脉冲を形成してそれぞれ対応する信号線を駆動する。

【0043】さらに、階調データが「0」のときは駆動脉冲を全く形成しない。これによって、信号側駆動回路22は、受信した階調データの階調レベルに応じた実効電圧で対応する液晶セルを駆動し、4フィールドを1フレームとする29段階の階調表示を行なうことができる。

【0044】次に、図2の階調制御回路17における階調制御クロックCKCBの生成について説明する。階調制御回路17を構成する上記バイナリカウンタ33は、コントローラ19から供給される基本クロックCK1がクロック端子CKに入力され、バイナリカウンタ33のリセット端子Rには1水平区間すくクロックCKN1が入力され、これによって当該バイナリカウンタ33は1水平期間毎に1回リセットされる。このバイナリカウンタ33は、8ビットの同期式立下がりバイナリカウンタであって、クロックCKN1によるリセット後に基本クロックパルスCK1に基づいて順次カウントを行ない、バイナリカウンタ33の8つの出力ラインから8ビットのカウント値が平行でデコード回路34に出力される。

【0045】デコード回路34は、上記バイナリカウンタ33から平行で出力される8ビットのカウント値に基づいて、図4(C)に示すように1H区間に7個の脉冲を有する液晶の実効電圧を制御するための基準となる階調制御クロックCKCBを作成する。

【0046】すなわち、デコード回路34内には6個の単位デコード回路と、各単位デコード回路毎に8個ずつのエクスクルシブ・オアゲートが設けられていて、8ビットのデコード値と8ビットのカウント値のそれぞれ的一致／不一致を見ている。そして、その各エクスクルシブ・オアの出力は、各デコード回路毎にアンド回路で結ばれていて、8ビットのデコード値とカウント値とが全て一致した場合に「H」が出力される。従って、各単位デコード回路に与えるデコード値を適宜に設定することにより、図4(C)に示すようなタイミングで1H区間(1水平走査区間)に6回ハイレベルからロウレベルに変化するような階調制御クロックCKCBを生成することができる。

【0047】本実施例においては、図4(C)に示すように、液晶駆動パルスのパルス幅を階調毎に変化させている。これは、使用される液晶の特性を考慮したためである。すなわち、この実施例の液晶表示パネル24に使

用される液晶の輝度特性は、図5に示すように完全にリニアな特性を有しておらず、しきい値 V_{off} と V_{on} の近傍で曲線の傾きが小さくなっているのを考慮したものである。図4(C)に示すようなパルス幅とすることにより、階調データに応じた輝度変化の度合いを均等にすることができる。

【0048】なお、上記実施例では、階調制御回路17から階調制御クロックCKCBと3ビットの階調データを信号側駆動回路22へ供給して、信号側駆動回路22で階調データの示す階調レベルに応じたパルス数分の液晶駆動脉冲を1H毎に信号線に出力して階調制御を行なうようにしているが、階調制御回路17側でA/D変換器16から供給される5ビットの表示データを3ビットの階調データに変換するとともにこの階調データと階調制御クロックCKCBとに基づいて階調レベルに対応したパルス数を有する駆動信号(図4C~I)に変換してから信号側駆動回路22へ供給するようにしても良い。

【0049】また、上記実施例においてはA/D変換器16から出力される5ビットの表示データを3ビットの階調データに変換して29段階の階調制御を行なう場合を例にとって説明したが、この発明はそれに限定されるものでなく、A/D変換器の出力が4ビットあるいは6ビットである場合その他A/D変換器の出力ビット数と液晶駆動回路の階調表示ビット数が異なる場合に広く適用することができる。

【0050】次に、本発明の他の実施例を説明する。図6は、図2に示されている階調制御回路17の画像メモリ31をデュアルポートRAMで構成する代わりに、2つのスタティックRAMで構成した実施例を示す。デュアルポートRAMを使用した第1の実施例では表示データの読み出しを行ないながら同時にA/D変換器16から供給される表示データの書き込みを行なえる。しかるに、スタティックRAMを使用した場合には、1つのRAMに対して上記のような並行動作を行なうことができない。

【0051】そこで、この実施例では、RAM AとRAM Bの2つのスタティックRAMを用意し、例えば奇数フィールドの表示のときにはRAM Aに書き込みを行ない、偶数フィールドの表示のときにはRAM Bに書き込みを行なうようにコントローラ19からの制御信号によってRAMを切り換え制御する。すなわち、図7に示すように、RAM Bから表示データの読み出しを行なっている間にRAM Aでは表示データの書き込みを行ないこれを交互に繰り返すようにしている。

【0052】これによって、A/D変換器16から供給される表示データの記憶と表示駆動のためのデータ出力との同時処理および連続した表示データ出力が可能となる。また、高価なデュアルポートRAMの代わりに安価なスタティックRAMを使用するため、システム全体と

してのコストの低減が可能となる。

【 0 0 5 3 】 また、上記実施例においては、例えば表 1 の要求階調「2」の行に示されているように、第 4 フィールドで液晶駆動パルスを与えているすなわちサイクル後半に液晶駆動の重み付けがなされているが、サイクルの前半に液晶駆動の重み付けがなされた変換テーブル（例えば要求階調「2」に関しては言えば第 1 フィールドに「1」が立つようにされたデータ変換テーブル）を作成して使用するようにしても良い。このように、サイクルの前半に重み付けがなされた変換テーブルを使用すると、液晶の立ち上がりスピードを速くすることができ、動画表示においては画像の追従性を向上させることができるという利点がある。

【 0 0 5 4 】 なお、上記実施例では、5 ビットの表示データを 3 ビットの階調データに変換する手段として変換テーブルを格納した ROM によって構成したが、論理回路によってデータ変換手段を構成することも可能である。

【 0 0 5 5 】 また、上記実施例では、本発明を液晶テレビに適用した場合について説明したが、これに限定されるものではなく、これ以外の液晶表示装置に適用することもできる。

【 0 0 5 6 】

【発明の効果】本発明に係る液晶表示装置における階調制御方法によれば、液晶表示パネルと、階調データに応じた液晶駆動パルスを作成して液晶を駆動する液晶駆動手段と、上記液晶駆動手段に対して階調データおよび同期信号を供給する表示制御手段と、を備えた液晶表示装置において、上記表示制御手段には、デジタル表示データを記憶する読み出し書き込み可能な表示データ記憶手段と、前記表示データ記憶手段から読み出された表示データをこれよりもビット数の少ない階調データに変換するデータ変換手段とを設けるとともに、1 フレームを複数のフィールドで構成し、1 フレーム内の同一の表示データをその階調レベルに応じてフィールドごとに所定の階調データに変換し、変換された階調データに応じたパルス数の駆動パルスを作成して液晶を駆動させるようにしたので、複数のフィールドで 1 フレームを構成しているため、表示データのビット数よりも液晶駆動回路の取り扱う階調データのビット数が少ない場合にも、表示データの有する階調レベルに準じた階調表示を行なうことができ、これによって、液晶駆動回路の構成を簡略化もしくは簡単な構成の液晶駆動回路を使用することができるようになり、低コストで高品質の階調表示が可能な液晶表示装置を実現することができるという効果がある。

【 0 0 5 7 】 また、本発明によれば、例えば、請求項 2 に記載されるように、前記表示データ記憶手段に読み込まれる単位時間当たりの表示データの読み込み処理速度に比較して、前記階調データに変換するデータ変換手段への単位時間当たりの書き込み処理速度は、前記 1 フレ

ームを複数フィールドに構成した数値を倍数とした速度で書き込みを行なうようにしたので、1 フレームを複数フィールドで構成した場合にも、表示データを供給する側の回路は何ら変更することなく本発明を適用することができ、これによって低コストで高品質の階調表示が可能な液晶表示装置を実現することができるという効果がある。

【 0 0 5 8 】 さらに、本発明によれば、例えば、請求項 3 に記載されるように、上記変換用テーブルに、1 フレームを構成する複数フィールドのうち前半のフィールドにおいてより多くの駆動パルスを生成させるようなデータを記載しておくようにしたので、実効電圧は同じでも液晶の駆動開始直後に駆動パルスが印加されるようになるため、液晶の立ち上がりスピードを速くすることができ、動画表示においては画像の追従性を向上させることができるという効果がある。

【図面の簡単な説明】

【図 1】本発明を適用して好適な液晶テレビの構成例を示すブロック図。

【図 2】本発明の第 1 の実施例に係る階調制御回路のブロック図。

【図 3】第 1 実施例の階調制御回路の動作タイミングを示すタイミングチャート。

【図 4】本実施例における液晶駆動パルスの一例を示す波形図。

【図 5】TN 液晶に印加される実効電圧と輝度との関係を示す輝度特性図。

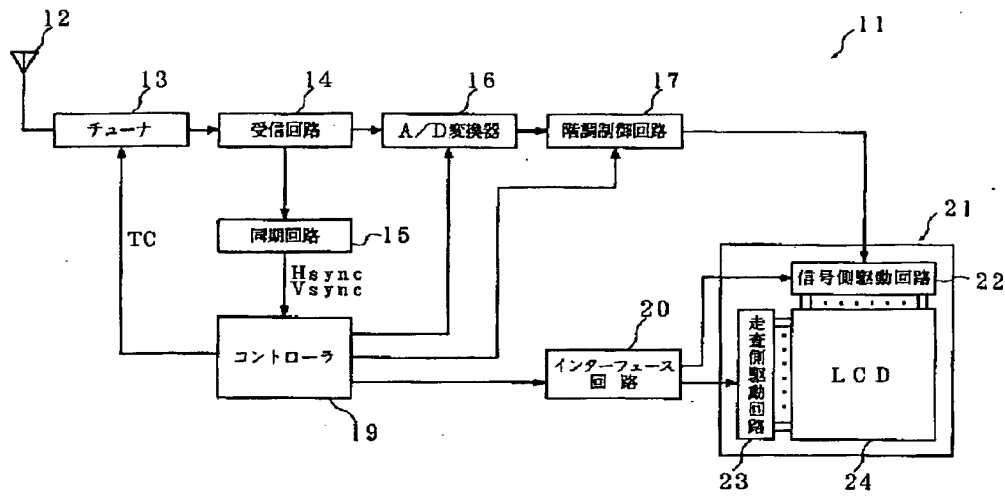
【図 6】本発明の第 2 の実施例にかかる階調制御回路のブロック図。

【図 7】第 2 実施例の階調制御回路の動作タイミングを示すタイミングチャート。

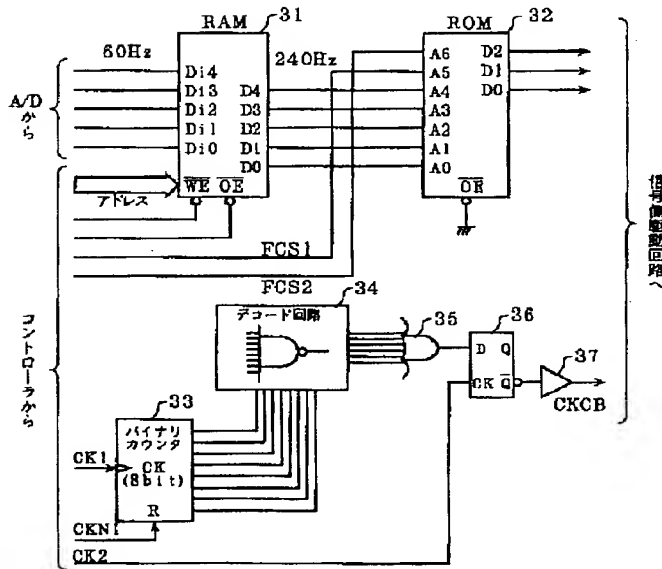
【符号の説明】

- 1 1 液晶テレビ
- 1 2 アンテナ
- 1 3 チューナ
- 1 4 受信回路
- 1 5 同期回路
- 1 6 A/D 変換器
- 1 7 階調制御回路
- 1 9 コントローラ
- 2 0 インターフェース回路
- 2 1 液晶モジュール
- 2 2 信号側駆動回路
- 2 3 走査側駆動回路
- 2 4 液晶表示パネル
- 3 1 画像メモリ（表示データ記憶手段）
- 3 2 データ変換用メモリ（データ変換手段）
- 3 3 バイナリカウンタ
- 3 4 デコード回路

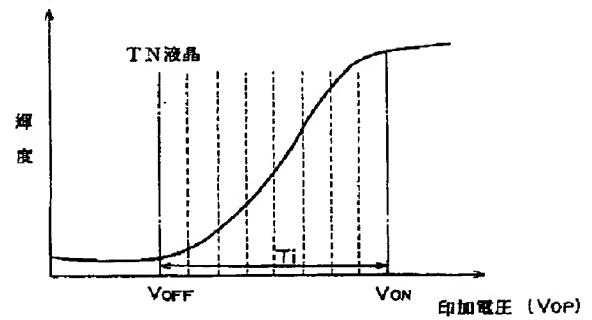
【図 1】



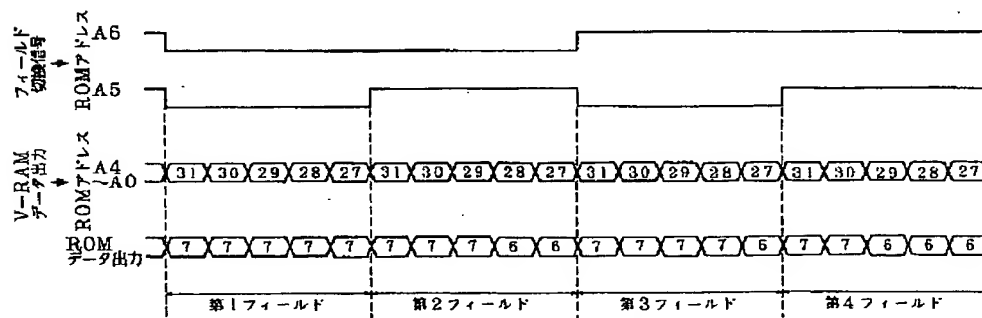
【図 2】



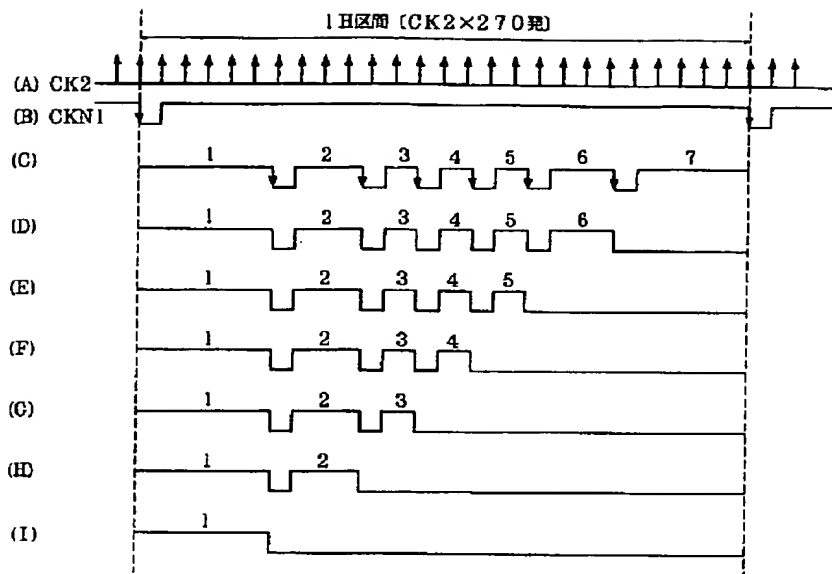
【図 5】



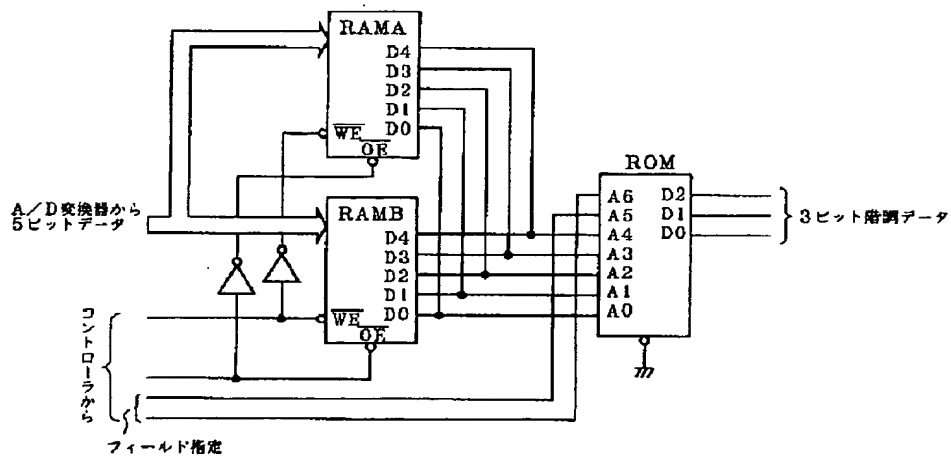
【図 3】



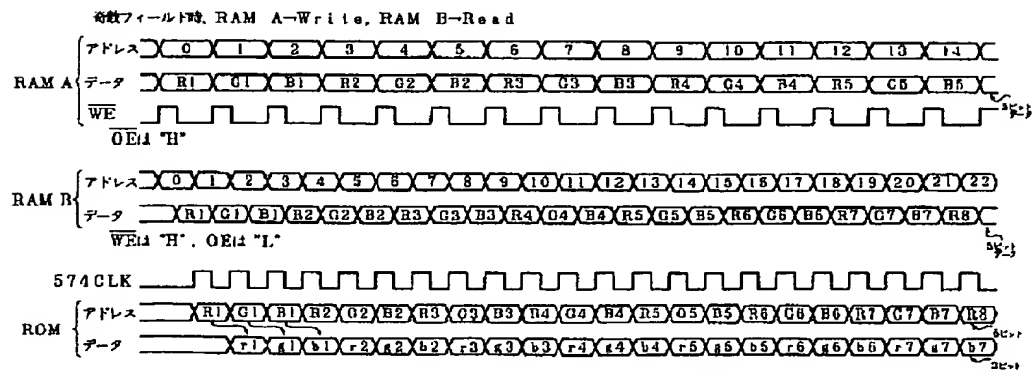
【図 4】



【図 6】



【図 7】



THIS PAGE BLANK (USPTO)